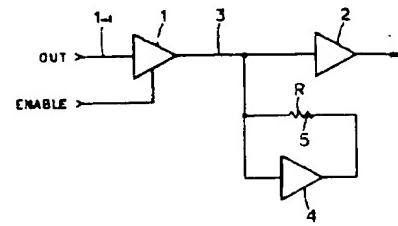


(54) BUS LINE STABILIZING CIRCUIT
 (11) 5-265944 (A) (43) 15.10.1993 (19) JP
 (21) Appl. No. 4-64816 (22) 23.3.1992
 (71) SHIMADZU CORP (72) NOBUYUKI IWASAKI
 (51) Int. Cl^s. G06F13/40, G06F3/00, G06F13/38

PURPOSE: To provide a bus line stabilizing circuit in which an invalid power consumption on a bus line can be reduced, and the potential of a bus can be immediately stabilized.

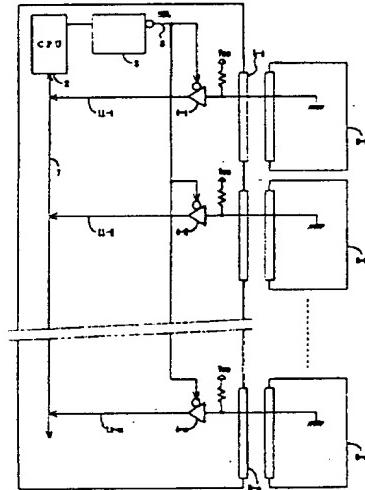
CONSTITUTION: A bus line circuit is equipped with a three state output buffer 1, a bus line 3 connected with the output terminal of the three state output buffer 1, and a high input impedance input buffer 2 whose input terminal is connected with the bus line 3. And also, this circuit is equipped with a high input impedance circuit stabilizing buffer 4 whose input terminal is connected with the bus line 3, and a feedback resistance 5 connecting the input and output terminals of the buffer 4.



(54) INFORMATION PROCESSOR
 (11) 5-265945 (A) (43) 15.10.1993 (19) JP
 (21) Appl. No. 4-92443 (22) 19.3.1992
 (71) FUJI XEROX CO LTD (72) HIDEYUKI HIROSE
 (51) Int. Cl^s. G06F13/40, G06F1/18

PURPOSE: To judge the presence or absence of the mounting of plural slave substrates to a master substrate.

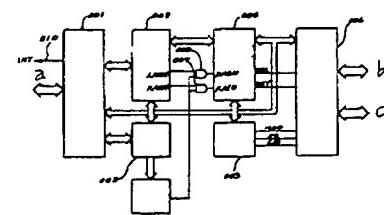
CONSTITUTION: A master substrate 1 is equipped with three-state buffers 4-1 to 4-n corresponding to each slot. The output sides of the three-state buffers are connected through data lines 11-1 to 11-n with the estimation bits of a data bus 7, and the input sides are connected with pulled-up signals and the estimation bits of the slots. In slave substrates 6-1 to 6-n, pull-down signals are connected with the input sides of the three-state buffers when the slave substrates are mounted on the master substrate. The three-state buffers are opened by a select signal outputted from a decoder 3, and the signals at the input sides are outputted to the data bus 7. The data appearing on the data bus are different according to the presence or absence of the mounting of the slave substrates, so that the data can be identified by a read operation, and the presence or absence of the mounting of the slave substrates can be judged by a CPU 2.



(54) SCSI CONTROLLER
 (11) 5-265947 (A) (43) 15.10.1993 (19) JP
 (21) Appl. No. 4-31188 (22) 19.2.1992
 (71) NEC CORP (72) TAMOTSU NAGANAMI
 (51) Int. Cl^s. G06F13/42

PURPOSE: To prevent an auto-target command waiting a selection from being invalidated by asserting a BSY signal as a response operation only at the time of detecting a selection phase after issuing the auto-target command.

CONSTITUTION: The inputs of the SAEN and RAEN of an arbitration selection control block 004 are operated when the output of a decoder 007 is high, and when the outputs SAEN and RAEN signals of a main sequence control block 002 are high. When the SAEN is high, a response can be attained when an SCSI controller is selected as a target, and when the RAEN is high, the response can be attained when the SCSI controller is selected as an initiator. Therefore, the response of the SCSI controller being the target can be prevented before the auto-target command is issued, and the response can be attained as the target when the SCSI controller is selected after the auto-target command is issued.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-265945

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.⁵
G 0 6 F 13/40
1/18

識別記号
3 1 0

序内整理番号
9072-5B

F I

技術表示箇所

7927-5B

G 0 6 F 1/ 00

3 2 0 J

審査請求 未請求 請求項の数 2(全 4 頁)

(21)出願番号

特願平4-92443

(22)出願日

平成4年(1992)3月19日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 廣瀬 英幸

埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社岩槻事業所内

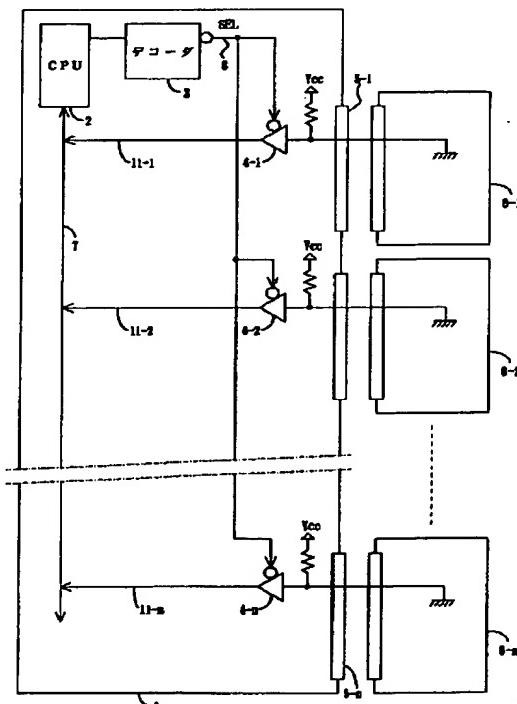
(74)代理人 弁理士 平木 道人 (外1名)

(54)【発明の名称】 情報処理装置

(57)【要約】

【目的】 親基板に対する複数の子基板の実装有無を判断できるようにする。

【構成】 親基板1には、各スロットに対応して3ステートバッファ4-1～4-nが設けられる。この3ステートバッファの出力側はデータライン11-1～11-nによってデータバス7の予定ビットに接続され、入力側はプルアップされた信号およびスロットの予定ビットに接続される。子基板6-1～6-nでは、この子基板が親基板に実装されたときにプルダウンされた信号が3ステートバッファの入力側に接続される。デコーダ3から出力されるセレクト信号で3ステートバッファが開かれ、入力側の信号がデータバス7に出力される。子基板の実装有無によって、データバスに現れるデータは異なるので、C P U 7はリード動作によってこのデータを識別し、子基板の実装有無を判定する。



1

【特許請求の範囲】

【請求項1】 スロットを介して親基板および子基板が接続される情報処理装置において、前記親基板には、データバスの予定ビットに接続されたデータラインと、前記データライン上に設けられ、入力側は第1レベルの信号および子基板を接続するスロットに接続されたゲート手段と、CPUのアドレスバスをデコードして前記ゲート手段のゲート開放信号を発生するデコーダとを設け、前記子基板には、前記第1レベルとは異なる第2レベルの信号を設定し、前記信号を前記ゲート手段の入力側と対応するビットに接続したことを特徴とする情報処理装置。

【請求項2】 スロットを介して親基板および子基板が接続される情報処理装置において、前記親基板には、データバスの予定ビットおよびスロットを接続し、かつ第1レベルの信号に接続されたデータラインと、スロットに接続されたCPUのアドレスバスとを設け、前記子基板には、前記アドレスバスのデータを入力として受入れるデコーダと、入力側は第1レベルとは異なる第2レベルの信号に接続され、出力側は前記データラインと対応するビットに接続され、前記デコーダの出力に応答して開放されるゲート手段とを設けたことを特徴とする情報処理装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は情報処理装置に関するものであり、特に、CPUを有する親基板と、この親基板に対して着脱自在な子基板とから構成される情報処理装置において、前記子基板の実装の有無を判別できる手段を有する情報処理装置に関する。

【0002】

【従来の技術】 CPUを搭載した親基板と、この親基板に対して着脱自在な子基板とから構成される情報処理装置において、前記子基板が実装されているか否かを検知できる手段を備えた画像記録装置が特開平2-193217号公報に記載されている。この画像記録装置では、子基板の種類を示す情報が格納されたROMを子基板に実装し、親基板のCPUがこのROMの内容を読むことによって子基板が実装されているか否かを判断するようしている。

【0003】 さらに、この画像記録装置では、子基板内で信号線を接地すると共に、親基板には、前記信号線に対応する信号線をプルアップしたI/Oポートを設け、親基板のCPUは前記I/Oポートを通して前記信号線を監視することにより、子基板の種類および実装の有無を判断するようにしている。

2

【0004】 また、特開昭59-112588号公報には、複数のスロットに子基板が接続される場合における実装有無を判断する実装スロット読み取り方式が記載されている。この読み取り方式では、親基板から子基板に対してスロット信号を与え、子基板では親基板から供給された信号を読み取り、子基板自身が誤って別スロット位置に実装されていないかどうかを判断するようしている。そして、この判断のために、子基板のそれぞれにCPUを設けている。また、各子基板にCPUを設ける代わりに、子基板に比較手段を設け、その比較結果によって親基板が子基板の実装の有無を判断するようしている。

【0005】

【発明が解決しようとする課題】 上記の従来装置や方式では次のような問題点があった。まず、前記画像記録装置のうち、ROMに子基板の情報を格納する装置では、ROMは高価であり、これを子基板の種類および実装の有無を検知するための手段として使用することはコストの面からみて適当ではない。また、I/Oポートを使用する画像記録装置では、親基板および子基板間の接続部分に専用線が必要となるという問題点があった。

【0006】 さらに、前記画像記録装置では、親基板に子基板を接続するスロットが単一の場合しか考慮されておらず、複数のどのスロットにどの種類の子基板が実装されているかを検知することはできなかった。

【0007】 また、後者の公報に記載されているスロット読み取り方式は、複数のスロットを対象とする方式である。しかしながら、子基板にCPUを設けるか、比較手段を設けるかして親基板および子基板間で通信を行い、この通信結果に基づいて子基板の実装有無を判断しているので、構成が複雑であるという問題点があった。

【0008】 本発明の目的は、上記の問題点を解消し、高価なROMや専用線、あるいは親基板および子基板間での専用の通信手段を用いることなく、親基板のCPUで通常のリード動作を行うことによって子基板の実装有無が判断できる情報処理装置を提供することにある。

【0009】

【課題を解決するための手段】 上記の課題を解決し、目的を達成するための本発明は、データバスの予定ビットに接続されたデータラインと、前記データライン上に設けられ、入力側は第1レベルの信号および子基板を接続するスロットに接続されたゲート手段と、CPUのアドレスバスをデコードして前記ゲート手段のゲート開放信号を発生するデコーダとが設けられた親基板、ならびに前記第1レベルとは異なる第2レベルの信号を設定し、この信号が前記ゲート手段の入力側と対応するビットに接続されている子基板を具備した点に第1の特徴がある。

【0010】 また、本発明は、データバスの予定ビットおよびスロットを接続し、かつ第1レベルの信号に接続されたデータラインと、スロットに接続されたCPUの

10

20

30

40

50

アドレスバスとを有する親基板、ならびに前記アドレスバスのデータを入力として受入れるデコーダと、入力側は第1レベルとは異なる第2レベルの信号に接続され、出力側は前記データラインと対応するビットに接続され、前記デコーダの出力に応答して開放されるゲート手段とを有する子基板を具備した点に第2の特徴がある。

【0011】

【作用】上記の特徴を有する本発明によれば、親基板に子基板が接続されていないときは、データラインの信号レベルは第1レベルにある。したがって、親基板のCPUによるリード動作でデータバスにのった前記データラインの信号レベルを判定できる。すなわち、この信号が第1レベルの信号であれば子基板は接続されていないことになる。

【0012】一方、子基板が接続されているときは、データラインの信号レベルは、子基板に設定された第2レベルになる。すなわち、データラインの信号が第2レベルにあれば、子基板は接続されている。

【0013】親基板が複数のスロットを有している場合は、前記データラインをスロット毎に設けておくことにより、データバスの各ビットには子基板の実装有無に対応して第1または第2レベルの信号が現れる。この信号を識別することで複数スロットに対する子基板の実装有無を検知できる。

【0014】

【実施例】以下、図面を参照して本発明の実施例を説明する。図1は本発明の第1実施例であり、親基板および子基板の接続を示す回路図である。同図(a)において、親基板1にはCPU2と、該CPU2のアドレスバスおよびその他の必要な信号線をデコードするデコーダ3と、ゲート手段としての3ステートバッファ4-1～4-nとが搭載されている。

【0015】3ステートバッファ4-1～4-nの入力側は、子基板6-1～6-nを親基板1に接続するためのスロット5-1～5-nにそれぞれ接続されると共に、電源Vccに接続(ブルアップ)されている。一方、3ステートバッファ4-1～4-nの出力側は、データライン11-1～11-nによってそれぞれデータバス7の予定ビットに接続される。本実施例では、3ステートバッファ4-1はデータバス7の1ビット目、3ステートバッファ4-2はデータバス7の2ビット目、3ステートバッファ4-nはデータバス7のnビット目に接続している。また、デコーダ3の出力ライン8は3ステートバッファ4-1～4-nの各ゲート開放入力に結合される。

【0016】以上のような親基板1の構成に対し、子基板6-1～6-nは、前記3ステートバッファ4-1～4-nの入力側に対応するビットをブルダウンするだけの簡単な構成になっている。

【0017】以上の構成において、デコーダ3はCPU

2から供給される信号に基づいてセレクト信号SELをライン8上に出力する。このセレクト信号SELに応答して3ステートバッファ4-1～4-nは開放され、入力側の信号をデータバス7に出力する。子基板6-1～6-nが親基板1に接続されていないときは、ブルアップされている信号すなわちデータ“1”がデータバス7の1～nビット目に現れる。

【0018】これに対して、子基板6-1～6-nが接続されていれば、3ステートバッファ4-1～4-nの入力側は子基板6-1～6-nの接地電位に接続され、データ“0”がデータバス7の1～nビット目に現れる。

【0019】したがって、CPU2はデータバス7のデータを読む動作、すなわちリード動作を1回だけ行うことによって予定ビットのデータが“0”か“1”かを判定し、スロット毎に子基板6-1～6-nの実装有無を検知できる。

【0020】このように本実施例では、各スロットをデータバスの予定ビットに対応させているので、データバス幅が8ビットの場合はスロット数は8個まで、データバス幅が16ビットの場合はスロット数は16個まで、各スロットに対する子基板の実装有無を検知できる。

【0021】次に、本発明の第2実施例について説明する。上述の実施例では、子基板の実装有無を判断するための構成要素のほとんどを親基板に搭載した。しかしながら、システムの構成上、親基板よりもむしろ子基板の方に構成要素を搭載するのが望ましいことも有り得る。この第2実施例では、そうしたシステム構成を考慮して前記デコーダ3およびゲート手段の機能を子基板側に持たせるようにした。

【0022】図2は第2実施例を示す親基板および子基板の接続図であり、図1と同符号は同一または同等部分を示す。図2において、子基板6-1～6-nには、デコーダ3-1～3-nと、3ステートバッファ4-1～4-nが設けられる。デコーダ3-1～3-nの出力ライン9-1～9-nは3ステートバッファ4-1～4-nの各ゲート開放入力に結合される。また、デコーダ3-1～3-nの入力側は親基板1のCPU2のアドレスバス10に対応するビットに接続される。

【0023】3ステートバッファ4-1～4-nの入力側はブルダウンされ、出力側はデータバス7の予定ビットに結合されるデータライン11-1～11-nに対応したビットに接続される。前記データライン11-1～11-nはそれぞれブルアップされている。

【0024】以上の構成によって、子基板6-1～6-nが親基板1に接続されている場合は、CPU2から出力されたアドレスはデコーダ3-1～3-nでデコードされ、ゲート開放信号として3ステートバッファ4-1～4-nに供給される。その結果、3ステートバッファ4-1～4-nは開放され、データライン11-1～1

1～nによってデータ“0”がデータバス7の1～nビット目に結合される。

【0025】子基板6-1～6-nが親基板1に接続されていなければ、データライン11-1～11-nはプルアップされているので、データ“1”がデータバス7の1～nビット目に結合される。

【0026】このように、第2実施例によても、第1実施例と同様、CPU2による1回のリード動作によって予定ビットのデータが“0”か“1”かを判定でき、スロット毎に子基板6-1～6-nの実装有無を検知できる。

【0027】以上説明したように、本実施例では、親基板に搭載されたCPUによる通常のリード動作を1回だけ行うことによって複数のスロットを対象に子基板の実装有無を判断できるようにした。

【0028】本実施例では、基板情報を出力するか否かの決定を3ステートバッファの動作によって予定レベルの信号を出力するようにしたが、このバッファに代えてトランジスタを設けてもよい。そして、デコーダから出*

*力される信号SELをこのトランジスタのベースに与えるようにすれば、本実施例と同様の効果が得られる。

【0029】

【発明の効果】以上の説明から明らかなように、本発明によれば、CPUによる通常のリード動作を1回行うだけで、データバスの予定のビット毎に割付けられた複数のスロットについて子基板の実装有無を判定できる。この実装有無判定処理は、通常のリード動作によって実行できるため、専用線を用いず、かつ特別な通信手段を用いることがない。

【図面の簡単な説明】

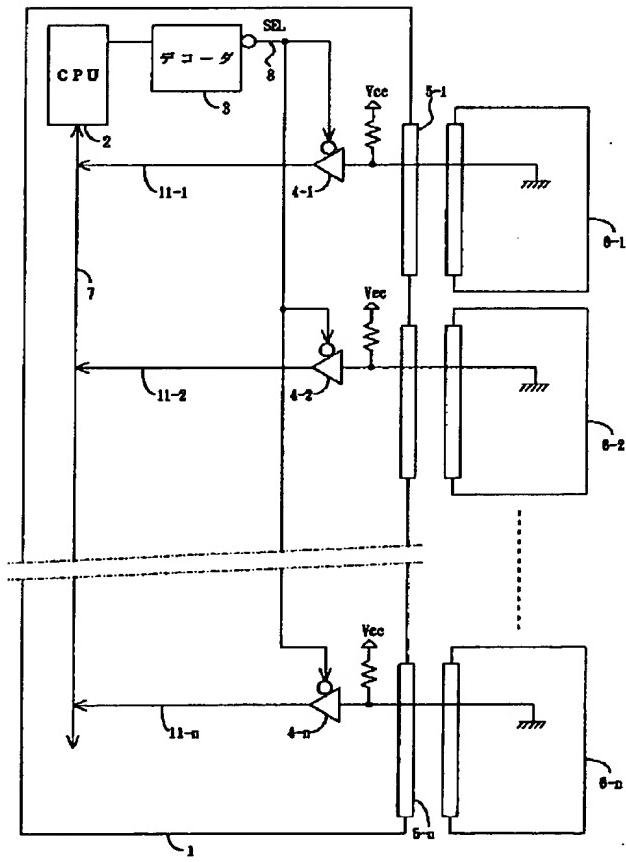
【図1】 本発明の第1実施例を示す親基板および子基板の接続図である。

【図2】 本発明の第2実施例を示す親基板および子基板の接続図である。

【符号の説明】

1…親基板、 2…CPU、 3, 3-1～3-n…デコーダ、 4-1～4-n…3ステートバッファ、 6-1～6-n…子基板

【図1】



【図2】

